

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-312098

(43) 公開日 平成9年(1997)12月2日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 11/419			G 1 1 C 11/34	3 1 1
11/409			H 0 3 F 3/45	Z
H 0 3 F 3/45			G 1 1 C 11/34	3 5 3 A

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平8-129418

(22) 出願日 平成8年(1996)5月24日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 奥山 博昭

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 佐伯 謙

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

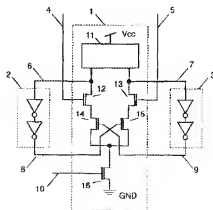
(74) 代理人 弁理士 富井 暎夫

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 差動増幅回路で流れる定常的な貫通電流を遮断し、出力を電源電圧から接地電位まで完全に振幅させることで、差動増幅回路の低消費電力化と高速化を実現する。

【解決手段】 差動増幅回路1と遅延回路2、3とを備えている。差動増幅回路1は、電源間に負荷回路11および定電流源のMOSFET16を接続し、負荷回路11と定電流源のMOSFET16との間に、データ線4をゲートに接続した駆動用MOSFET12と貫通電流遮断用MOSFET14との直列回路を接続するとともに、データ線4と対をなすデータ線5をゲートに接続した駆動用MOSFET13と貫通電流遮断用MOSFET15との直列回路を接続している。遅延回路2は差動増幅回路1の出力6を遅延させて貫通電流遮断用MOSFET15のゲートに出力し、遅延回路3は差動増幅回路1の出力7を遅延させて貫通電流遮断用MOSFET14のゲートに出力するようにしている。



差動増幅回路
1の差動増幅回路
2の遅延回路
3の遅延回路
4のデータ線
5のデータ線
6の差動増幅回路の出力
7の差動増幅回路の出力
8の貫通電流遮断用MOSFET
9の貫通電流遮断用MOSFET
10の貫通電流遮断用MOSFET
11の貫通電流遮断用MOSFET
12の貫通電流遮断用MOSFET
13の貫通電流遮断用MOSFET
14の貫通電流遮断用MOSFET
15の貫通電流遮断用MOSFET
16の貫通電流遮断用MOSFET

【特許請求の範囲】

【請求項1】 電源間に負荷回路および定電流源を接続し、前記負荷回路と前記定電流源との間に、第1のデータ線をゲートに接続した第1の駆動用MOSFETと第1の貫通電流遮断用MOSFETとの直列回路を接続するとともに、前記第1のデータ線と対をなす第2のデータ線をゲートに接続した第2の駆動用MOSFETと第2の貫通電流遮断用MOSFETとの直列回路を接続した差動増幅回路と、

前記第1の駆動用MOSFETの負荷回路側の端子出力を遅延させて前記第2の貫通電流遮断用MOSFETのゲートに出力する第1の遅延回路と、

前記第2の駆動用MOSFETの負荷回路側の端子出力を遅延させて前記第1の貫通電流遮断用MOSFETのゲートに出力する第2の遅延回路とを備えた半導体集積回路。

【請求項2】 電源間に負荷回路および定電流源を接続し、前記負荷回路と前記定電流源との間に、第1のデータ線をゲートに接続した第1の駆動用MOSFETと第1の貫通電流遮断用MOSFETとの直列回路を接続するとともに、前記第1のデータ線と対をなす第2のデータ線をゲートに接続した第2の駆動用MOSFETと第2の貫通電流遮断用MOSFETとの直列回路を接続した差動増幅回路と、

前記第1の駆動用MOSFETの負荷回路側の端子出力を遅延および反転させて前記第1の貫通電流遮断用MOSFETのゲートに出力する第1の遅延回路と、

前記第2の駆動用MOSFETの負荷回路側の端子出力を遅延および反転させて前記第2の貫通電流遮断用MOSFETのゲートに出力する第2の遅延回路とを備えた半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、差動増幅回路を用いた半導体記憶装置等の半導体集積回路に関するものである。

【0002】

【従来の技術】近年、半導体記憶装置においては、高速動作と低消費電力化の両方に対する要求がますます高まってきている。その中でも差動増幅回路の高速化と低消費電力化の実現は、半導体記憶装置の高速化と低消費電力化を実現するために極めて重要である。

【0003】以下に、従来の差動増幅回路を用いた半導体記憶装置について説明する。図4は、従来の差動増幅回路を用いた半導体記憶装置の回路図である。図5において、1は差動増幅回路、4、5は対をなす第1、第2のデータ線、6、7は差動増幅回路1の出力、10は差動増幅回路活性化信号、11は差動増幅回路1を構成する負荷回路、12、13は差動増幅回路1を構成する第1、第2の駆動用MOSFET、16は差動増幅回路1

を構成する定電流源のMOSFETである。図6は、図5で示した差動増幅回路1の主要部分の概略タイミング波形と差動増幅回路1に流れる電流の概略波形を示す。

【0004】以上のように構成された半導体記憶装置について、以下、その動作を説明する。対をなす第1、第2のデータ線4、5にはメモリーセルからデータが出力され、差動増幅回路1に伝達される。メモリーセルは駆動能力が弱いため、第1、第2のデータ線4、5に出力されるデータの電位差は小さい。差動増幅回路1は差動増幅回路活性化信号10により活性化され、第1、第2のデータ線4、5の微小電位差を増幅して出力6、7にデータを出力する。図5では、差動増幅回路1が、第1、第2のデータ線4、5をゲートに接続した第1、第2の駆動用MOSFET12、13と、負荷回路11と、定電流源として働くMOSFET16とで構成された極めて一般的な例を示している。この差動増幅回路1は、対をなす第1、第2のデータ線4、5の微小電位差を第1、第2の駆動用MOSFET12、13のゲート電位の違いで検出して増幅作用を行い、出力6、7にデータを出力する。

【0005】図6で示したタイミング波形では、差動増幅回路1の出力6、7は、図6(c)に示すように、差動増幅回路1が非活性化状態の時には電源電圧にプリチャージされる場合を示している。図5の回路図ではその回路を省略してある。そして活性化状態になると、図6

(a)に示すデータ線4、5の電位差がある一定の電位まで増幅する。図6(d)に示すように、差動増幅回路1の電流は、図6(b)の差動増幅回路活性化信号10により差動増幅回路1が非活性化状態から活性化された時と、活性化状態から非活性化された時に貫通電流と充電電流により大きな電流が流れ、差動増幅回路1の出力6、7が一定電圧に達した後は、定常的に貫通電流が流れる。

【0006】

【発明が解決しようとする課題】しかしながら、上記従来の構成では、対をなす第1、第2のデータ線4、5の電位差が微小であるため、第1、第2の駆動用MOSFET12、13が非活性化状態になるとは無く、差動増幅回路1が活性化状態にある間は、図6(d)に示すように、常時、電源電圧線から接地電位線に定常的な貫通電流が流れ続けてしまい、半導体記憶装置の低消費電力化にとって大きな課題となっている。さらに貫通電流が流れるため、差動増幅回路1の出力6、7は、図6(c)に示すように、電源電圧から接地電位まで完全に振幅することは無く、差動増幅回路1の次段回路での動作速度にも劣化が生じ、半導体記憶装置の高速化にとって大きな課題となっている。

【0007】この発明は、上記従来の課題を解決するもので、差動増幅回路で流れる定常的な貫通電流を遮断し、出力を電源電圧から接地電位まで完全に振幅させる

ことで、差動増幅回路の低消費電力化と高速化を実現できる半導体集積回路を提供することを目的とする。

【0008】

【課題を解決するための手段】請求項1記載の半導体集積回路は、電源間に負荷回路および定電流源を接続し、負荷回路と定電流源との間に、第1のデータ線をゲートに接続した第1の駆動用MOSFETと第1の貫通電流遮断用MOSFETとの直列回路を接続するとともに、第1のデータ線と対をなす第2のデータ線をゲートに接続した第2の駆動用MOSFETと第2の貫通電流遮断用MOSFETとの直列回路を接続した差動増幅回路と、第1の駆動用MOSFETの負荷回路側の端子出力を遅延させて第2の貫通電流遮断用MOSFETのゲートに出力する第2の遅延回路とを備えている。

【0009】この構成によれば、負荷回路と定電流源との間で、第1、第2の貫通電流遮断用MOSFETをそれぞれ第1、第2の駆動用MOSFETと直列に接続し、差動増幅回路の出力、すなわち第1、第2の駆動用MOSFETの負荷回路側の端子出力を、第1、第2の遅延回路を介して第2、第1の貫通電流遮断用MOSFETのゲートに与えることにより、第1、第2のうち一方の貫通電流遮断用MOSFETが差動増幅回路で流れる定常的な貫通電流を遮断する。このように貫通電流が遮断されるので差動増幅回路の出力を電源電圧から接地電位まで完全に振幅させることができ、差動増幅回路の低消費電力化と高速化を実現できる。

【0010】請求項2記載の半導体集積回路は、電源間に負荷回路および定電流源を接続し、負荷回路と定電流源との間に、第1のデータ線をゲートに接続した第1の駆動用MOSFETと第1の貫通電流遮断用MOSFETとの直列回路を接続するとともに、第1のデータ線と対をなす第2のデータ線をゲートに接続した第2の駆動用MOSFETと第2の貫通電流遮断用MOSFETとの直列回路を接続した差動増幅回路と、第1の駆動用MOSFETの負荷回路側の端子出力を遅延および反転させて第1の貫通電流遮断用MOSFETのゲートに出力する第1の遅延回路と、第2の駆動用MOSFETの負荷回路側の端子出力を遅延および反転させて第2の貫通電流遮断用MOSFETのゲートに出力する第2の遅延回路とを備えている。

【0011】この構成によれば、負荷回路と定電流源との間で、第1、第2の貫通電流遮断用MOSFETをそれぞれ第1、第2の駆動用MOSFETと直列に接続し、差動増幅回路の出力、すなわち第1、第2の駆動用MOSFETの負荷回路側の端子出力を、第1、第2の遅延回路を介して第1、第2の貫通電流遮断用MOSFETのゲートに与えることにより、第1、第2のうち一

方の貫通電流遮断用MOSFETが差動増幅回路で流れる定常的な貫通電流を遮断する。このように貫通電流が遮断されるので差動増幅回路の出力を電源電圧から接地電位まで完全に振幅させることができ、差動増幅回路の低消費電力化と高速化を実現できる。

【0012】

【発明の実施の形態】以下、この発明の実施の形態について、図1から図4を用いて説明する。図1はこの発明の第1の実施の形態の半導体集積回路の回路図であり、この半導体集積回路は差動増幅回路を用いた半導体記憶装置を示す。図1において、1は差動増幅回路、2、3は第1、第2の遅延回路、4、5は対をなす第1、第2のデータ線、6、7は差動増幅回路1の出力、8、9は第1、第2の遅延回路2、3の出力、10は差動増幅回路活性化信号、11は差動増幅回路1を構成する負荷回路、12、13は差動増幅回路1を構成する第1、第2の駆動用MOSFET、14、15は差動増幅回路1を構成する第1、第2の貫通電流遮断用MOSFET、16は差動増幅回路1を構成する定電流源のMOSFETである。図2は、図1で示した半導体記憶装置の主要部分の概略タイミング波形と差動増幅回路1に流れる電流の概略波形を示す。

【0013】この半導体集積回路は、差動増幅回路1と、第1の遅延回路2と、第2の遅延回路3とを備えている。差動増幅回路1は、電源間に負荷回路11および定電流源のMOSFET16を接続し、負荷回路11と定電流源のMOSFET16との間に、第1のデータ線4をゲートに接続した第1の駆動用MOSFET12と第1の貫通電流遮断用MOSFET14との直列回路を接続するとともに、第1のデータ線4と対をなす第2のデータ線5をゲートに接続した第2の駆動用MOSFET13と第2の貫通電流遮断用MOSFET15との直列回路を接続している。第1の遅延回路2は、第1の駆動用MOSFET12の負荷回路側の端子出力すなわち差動増幅回路1の出力6を遅延させて第2の貫通電流遮断用MOSFET15のゲートに出力するようにしている。第2の遅延回路3は、第2の駆動用MOSFET13の負荷回路側の端子出力すなわち差動増幅回路1の出力7を遅延させて第1の貫通電流遮断用MOSFET14のゲートに出力するようにしている。

【0014】以上のように構成されたこの実施の形態の半導体集積回路について、以下、その動作を説明する。対をなす第1、第2のデータ線4、5にはメモリーセルからデータが出力され、差動増幅回路1に伝達され、差動増幅回路1の第1、第2の駆動用MOSFET12、13のゲート電位の違いにより、第1、第2のデータ線4、5の微小電位差を増幅して出力6、7にデータを出力する、という動作は従来例と同様である。また、従来例と同様、回路は省略してあるが、差動増幅回路1が非活性状態の時には、出力6、7は電源電圧にプリチャー

ジされているとする(図2(b),(c))。

【0015】差動増幅回路1の出力6,7は、第1,第2の遅延回路2,3に伝達され、第1,第2の遅延回路2,3の出力8,9は、差動増幅回路1の第2,第1の駆動用MOSFET13,12とそれぞれ直列接続された第2,第1の貫通電流遮断用MOSFET15,14のゲートに入力される。この実施形態では、第1,第2の遅延回路2,3の入出力で論理が変わらない場合を示してあり、差動増幅回路1の第1の駆動用MOSFET12側の出力6が、第1の遅延回路2を通り第2の駆動用MOSFET13と直列接続した第2の貫通電流遮断用MOSFET15のゲートに入力され、第2の駆動用MOSFET13側の出力7が、第2の遅延回路3を通り第1の駆動用MOSFET12と直列接続した第1の貫通電流遮断用MOSFET14のゲートに入力される。

【0016】図2(b)に示す差動増幅回路活性化信号10が接地電位(GND)で差動増幅回路1が非活性状態の時、図2(c)に示す差動増幅回路の出力6,7は電源電圧にプリチャージされているため、図2(d)に示す第1,第2の遅延回路2,3の出力8,9も電源電圧に等しい“H(ハイ)”レベルであり、第1,第2の貫通電流遮断用MOSFET14,15は完全に活性状態にある。

【0017】例えば、メモリーセルからデータが出力され、第2のデータ線5の電位が第1のデータ線4の電位より下がる場合、第1の駆動用MOSFET12のゲート電位より第2の駆動用MOSFET13のゲート電位が低くなり、差動増幅回路1が差動増幅回路活性化信号10により活性化されると、出力6には“L(ロー)”レベル、出力7には“H”レベルが出力される。対をなす第1,第2のデータ線4,5の電位差は微小であるため、第1,第2の駆動用MOSFET12,13とも非活性状態になることは無く、図2(e)に示すように、電源電圧線から接地電位線に貫通電流が流れるため、この時はまだ差動増幅回路の出力6,7は電源電圧から接地電位まで完全に振幅しない(図2(c)の切替わり時)。

【0018】差動増幅回路1の出力6が“L”レベル、出力7が“H”レベルなので、第1の遅延回路2の出力8は接地電位に等しい“L”レベル、第2の遅延回路3の出力9は電源電圧に等しい“H”レベルになる(図2(d))。そのため、差動増幅回路1の第1の駆動用MOSFET12に直列接続した第1の貫通電流遮断用MOSFET14のゲート電位は電源電圧に等しい“H”レベルのため、活性状態を保つ。逆に、第2の駆動用MOSFET13に直列接続した第2の貫通電流遮断用MOSFET15はゲートに接続された第1の遅延回路2の出力8が接地電位に等しい“L”レベルであるため、完全に非活性状態になる。第2の貫通電流遮断用MOS

FET15が非活性状態になるため、電源電圧線から接地電位線に流れる貫通電流が遮断され、さらにその結果、出力7の“H”レベルは電源電圧レベルにまで達する。一方、増幅作用のため、出力6の“L”レベルは接地電位まで下がる。したがって、図2(c)に示すように、差動増幅回路1の出力6,7は、電源電圧から接地電位まで完全に振幅し、図2(e)に示すように、電源電圧線から接地電位線に流れる定常的な貫通電流は完全に遮断される。

【0019】第1,第2のデータ線4,5の電位差が逆の場合も全く同様である。また、差動増幅回路1から次段、例えばデータラッチ回路やデータ出力回路への接続は、出力6,7から行っても構わない。また、次段への駆動回路が必要であれば第1,第2の遅延回路2,3と兼用し、その出力8,9から行っても構わない。

【0020】以上のようにこの実施の形態によれば、差動増幅回路1の第1,第2の貫通電流遮断用MOSFET14,15を第1,第2の駆動用MOSFET12,13とそれぞれ直列に接続し、差動増幅回路1の出力6,7を第1,第2の遅延回路2,3を介して第1,第2の貫通電流遮断用MOSFET14,15のゲートに与えることで、差動増幅回路1の出力6,7のデータによって第1,第2の貫通電流遮断用MOSFET14,15が差動増幅回路1で定常的に流れる貫通電流を遮断し、さらに貫通電流が遮断されるので差動増幅回路1の出力6,7を電源電圧から接地電位まで完全に振幅させることができる。その結果、差動増幅回路1の低消費電力化と高速化を実現することができる。

【0021】なお、上記第1の実施の形態では、差動増幅回路1の定電流源をMOSFET16で構成し、第1,第2の遅延回路2,3をCMOSインバータ2段で構成した例を示したが、他の構成の場合も全く同様に実施可能であることは言うまでもない。図3はこの発明の第2の実施の形態の半導体集積回路の回路図であり、この半導体集積回路は差動増幅回路を用いた半導体記憶装置を示す。

【0022】この第2の実施の形態では、第1,第2の遅延回路2,3を入出力で論理が反転する構成とし、そのため、第1,第2の遅延回路2,3の出力8,9が接続される第1,第2の貫通電流遮断用MOSFET14,15が、図1の場合と逆になっており、その他は図1と同様である。したがって、差動増幅回路1の第1の駆動用MOSFET12側の出力6が、第1の遅延回路2を通り第1の駆動用MOSFET12と直列接続した第1の貫通電流遮断用MOSFET14のゲートに反転して入力され、第2の駆動用MOSFET13側の出力7が、第2の遅延回路3を通り第2の駆動用MOSFET14と直列接続した第2の貫通電流遮断用MOSFET15のゲートに反転して入力される。

【0023】上記の点を除き、動作およびその効果は、

上記図 1 で示した第 1 の実施の形態と全く同様である。図 4 はこの発明の第 3 の実施の形態の半導体集積回路の回路図であり、この半導体集積回路は差動増幅回路を用いた半導体記憶装置を示す。この第 3 の実施の形態は、図 1 で示した第 1 の実施の形態における電源電圧、接地電位と負荷回路、定電流源、MOSFET の関係を逆にした構成の一例である。差動増幅回路 1 を構成する MOSFET 12 ~ 16 は、図 1 では NMOS であったが、この図 4 では PMOS で構成されている。

【0024】この第 3 の実施の形態では、“H”レベル、“L”レベルが第 1 の実施の形態と逆になる点を除き、動作およびその効果は、上記図 1 で示した第 1 の実施の形態と全く同様である。なお、差動増幅回路 1 の構成は図 1、図 3 および図 4 に示した構成に限られるものではない。例えば、図 4 で示した第 3 の実施の形態において、第 1、第 2 の遅延回路 2、3 を入出力で論理が反転する構成とし、第 1 の遅延回路 2 の出力 8 を第 1 の貫通電流遮断用 MOSFET 14 のゲートに接続し、第 2 の遅延回路 3 の出力 9 を第 2 の貫通電流遮断用 MOSFET 15 のゲートに接続した構成としてもよい。

【0025】

【発明の効果】以上のようにこの発明によれば、負荷回路と定電流源との間で、第 1、第 2 の貫通電流遮断用 MOSFET をそれぞれ第 1、第 2 の駆動用 MOSFET と直列に接続し、差動増幅回路の出力、すなわち第 1、第 2 の駆動用 MOSFET の負荷回路側の端子出力を、第 1、第 2 の遅延回路を介して各貫通電流遮断用 MOSFET のゲートに与えることにより、第 1、第 2 のうち一方の貫通電流遮断用 MOSFET が差動増幅回路で流れる定常的な貫通電流を遮断する。このように貫通電流が遮断されるので差動増幅回路の出力を電源電圧から接

地電位まで完全に振幅させることができ、差動増幅回路の低消費電力化と高速化を実現することができる。

【図面の簡単な説明】

【図 1】この発明の第 1 の実施の形態の半導体集積回路の回路図。

【図 2】この発明の第 1 の実施の形態の半導体集積回路におけるタイミング図。

【図 3】この発明の第 2 の実施の形態の半導体集積回路の回路図。

【図 4】この発明の第 3 の実施の形態の半導体集積回路の回路図。

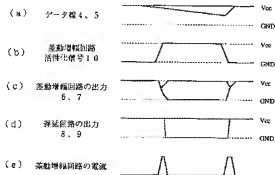
【図 5】従来の差動増幅回路を用いた半導体記憶装置の回路図。

【図 6】従来の差動増幅回路を用いた半導体記憶装置におけるタイミング図。

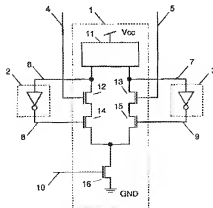
【符号の説明】

- 1 差動増幅回路
- 2 第 1 の遅延回路
- 3 第 2 の遅延回路
- 4 第 1 のデータ線
- 5 第 2 のデータ線
- 6, 7 差動増幅回路の出力
- 8 第 1 の遅延回路の出力
- 9 第 2 の遅延回路の出力
- 10 差動増幅回路活性化信号
- 11 負荷回路
- 12 第 1 の駆動用 MOSFET
- 13 第 2 の駆動用 MOSFET
- 14 第 1 の貫通電流遮断用 MOSFET
- 15 第 2 の貫通電流遮断用 MOSFET
- 16 MOSFET (定電流源)

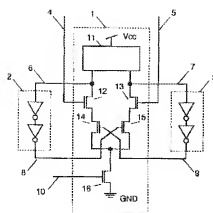
【図 2】



【図 3】

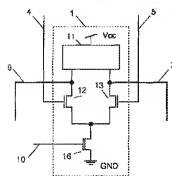


【図1】

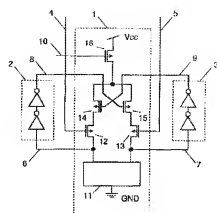


1 電源電圧 Vcc
2 入力端子
3 入力端子
4 データ線
5 データ線
6 出力端子
7 出力端子
8 出力端子
9 出力端子
10 バイアス電圧 Vb
11 PMOS 増幅管
12 NMOS 増幅管
13 NMOS 増幅管
14 共通ソース抵抗
15 ソース抵抗
16 GND
17 PMOS 増幅管
18 NMOS 増幅管
19 NMOS 増幅管
20 NMOS 増幅管
21 NMOS 増幅管
22 NMOS 増幅管
23 NMOS 増幅管
24 NMOS 増幅管
25 NMOS 増幅管
26 NMOS 増幅管
27 NMOS 増幅管
28 NMOS 増幅管
29 NMOS 増幅管
30 NMOS 増幅管
31 NMOS 増幅管
32 NMOS 増幅管
33 NMOS 増幅管
34 NMOS 増幅管
35 NMOS 増幅管
36 NMOS 増幅管
37 NMOS 増幅管
38 NMOS 増幅管
39 NMOS 増幅管
40 NMOS 増幅管
41 NMOS 増幅管
42 NMOS 増幅管
43 NMOS 増幅管
44 NMOS 増幅管
45 NMOS 増幅管
46 NMOS 増幅管
47 NMOS 増幅管
48 NMOS 増幅管
49 NMOS 増幅管
50 NMOS 増幅管
51 NMOS 増幅管
52 NMOS 増幅管
53 NMOS 増幅管
54 NMOS 増幅管
55 NMOS 増幅管
56 NMOS 増幅管
57 NMOS 増幅管
58 NMOS 増幅管
59 NMOS 増幅管
60 NMOS 増幅管
61 NMOS 増幅管
62 NMOS 増幅管
63 NMOS 増幅管
64 NMOS 増幅管
65 NMOS 増幅管
66 NMOS 増幅管
67 NMOS 増幅管
68 NMOS 増幅管
69 NMOS 増幅管
70 NMOS 増幅管
71 NMOS 増幅管
72 NMOS 増幅管
73 NMOS 増幅管
74 NMOS 増幅管
75 NMOS 増幅管
76 NMOS 増幅管
77 NMOS 増幅管
78 NMOS 増幅管
79 NMOS 増幅管
80 NMOS 増幅管
81 NMOS 増幅管
82 NMOS 増幅管
83 NMOS 増幅管
84 NMOS 増幅管
85 NMOS 増幅管
86 NMOS 増幅管
87 NMOS 増幅管
88 NMOS 増幅管
89 NMOS 増幅管
90 NMOS 増幅管
91 NMOS 増幅管
92 NMOS 増幅管
93 NMOS 増幅管
94 NMOS 増幅管
95 NMOS 増幅管
96 NMOS 増幅管
97 NMOS 増幅管
98 NMOS 増幅管
99 NMOS 増幅管
100 NMOS 増幅管

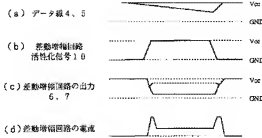
【図5】



【図4】



【図6】



【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 13 年 11 月 22 日 (2001. 11. 22)

【公開番号】特開平 9-312098
 【公開日】平成 9 年 12 月 2 日 (1997. 12. 2)
 【年通号数】公開特許公報 9-3121
 【出願番号】特願平 8-129418
 【国際特許分類 7 版】

G11C 11/419

11/409

H03F 3/45

【F I】

G11C 11/34 311

H03F 3/45 Z

G11C 11/34 353 A

【手続補正書】

【提出日】平成 13 年 4 月 16 日 (2001. 4. 16)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】電源間に負荷回路および定電流源を接続し、前記負荷回路と前記定電流源との間に、第 1 のデータ線をゲートに接続した第 1 の駆動用 MOSFET と第 1 の貫通電流遮断用 MOSFET との直列回路を接続するとともに、前記第 1 のデータ線と対をなす第 2 のデータ線をゲートに接続した第 2 の駆動用 MOSFET と第 2 の貫通電流遮断用 MOSFET との直列回路を接続した差動増幅回路と、

前記第 1 の駆動用 MOSFET の負荷回路側の端子出力を遅延および完全振幅と反転させて前記第 2 の貫通電流遮断用 MOSFET のゲートに出力する第 1 の遅延回路と、

前記第 2 の駆動用 MOSFET の負荷回路側の端子出力を遅延および完全振幅と反転させて前記第 1 の貫通電流遮断用 MOSFET のゲートに出力する第 2 の遅延回路とを備えた半導体集積回路。

【請求項 2】電源間に負荷回路および定電流源を接続し、前記負荷回路と前記定電流源との間に、第 1 のデータ線をゲートに接続した第 1 の駆動用 MOSFET と第 1 の貫通電流遮断用 MOSFET との直列回路を接続するとともに、前記第 1 のデータ線と対をなす第 2 のデータ線をゲートに接続した第 2 の駆動用 MOSFET と第 2 の貫通電流遮断用 MOSFET との直列回路を接続した差動増幅回路と、
 前記第 1 の駆動用 MOSFET の負荷回路側の端子出力

を遅延および完全振幅と反転させて前記第 1 の貫通電流遮断用 MOSFET のゲートに出力する第 1 の遅延回路と、

前記第 2 の駆動用 MOSFET の負荷回路側の端子出力を遅延および完全振幅と反転させて前記第 2 の貫通電流遮断用 MOSFET のゲートに出力する第 2 の遅延回路とを備えた半導体集積回路。

【請求項 3】電源間に負荷回路および定電流源を接続し、前記負荷回路と前記定電流源との間に、第 1 のデータ線をゲートに接続した第 1 の駆動用 MOSFET と第 1 の貫通電流遮断用 MOSFET との直列回路を接続するとともに、前記第 1 のデータ線と対をなす第 2 のデータ線をゲートに接続した第 2 の駆動用 MOSFET と第 2 の貫通電流遮断用 MOSFET との直列回路を接続した差動増幅回路と、

前記駆動用 MOSFET の負荷回路側の端子出力のいずれかを差動増幅回路の出力とし、前記差動増幅回路の出力を反転および遅延および完全振幅と反転させて、前記差動増幅回路の出力を端子出力とする駆動用 MOSFET と直列回路をなす貫通電流遮断用 MOSFET のゲートに出力する第 1 の遅延回路と、

前記差動増幅回路の出力を遅延および完全振幅と反転させて、前記差動増幅回路の出力を端子出力とする駆動用 MOSFET ともう一方の駆動用 MOSFET と直列回路をなす貫通電流遮断用 MOSFET のゲートに出力する第 2 の遅延回路とを備えた半導体集積回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】

【課題を解決するための手段】請求項1記載の半導体集積回路は、電源間に負荷回路および定電流源を接続し、負荷回路と定電流源との間に、第1のデータ線をゲートに接続した第1の駆動用MOSFETと第1の貫通電流遮断用MOSFETとの直列回路を接続するとともに、第1のデータ線と対をなす第2のデータ線をゲートに接続した第2の駆動用MOSFETと第2の貫通電流遮断用MOSFETとの直列回路を接続した差動増幅回路と、第1の駆動用MOSFETの負荷回路側の端子出力を遅延および完全振幅させて第2の貫通電流遮断用MOSFETのゲートに出力する第1の遅延回路と、第2の駆動用MOSFETの負荷回路側の端子出力を遅延および完全振幅させて第1の貫通電流遮断用MOSFETのゲートに出力する第2の遅延回路とを備えている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】請求項2記載の半導体集積回路は、電源間に負荷回路および定電流源を接続し、負荷回路と定電流源との間に、第1のデータ線をゲートに接続した第1の駆動用MOSFETと第1の貫通電流遮断用MOSFETとの直列回路を接続するとともに、第1のデータ線と対をなす第2のデータ線をゲートに接続した第2の駆動用MOSFETと第2の貫通電流遮断用MOSFETとの直列回路を接続した差動増幅回路と、第1の駆動用MOSFETの負荷回路側の端子出力を遅延および完全振幅と反転させて第1の貫通電流遮断用MOSFETのゲートに出力する第1の遅延回路と、第2の駆動用MOSFETの負荷回路側の端子出力を遅延および完全振幅と反転させて第2の貫通電流遮断用MOSFETのゲートに出力する第2の遅延回路とを備えている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】この構成によれば、負荷回路と定電流源との間で、第1、第2の貫通電流遮断用MOSFETをそれぞれ第1、第2の駆動用MOSFETと直列に接続し、差動増幅回路の出力、すなわち第1、第2の駆動用MOSFETの負荷回路側の端子出力を、第1、第2の遅延回路を介して第1、第2の貫通電流遮断用MOSFETのゲートに与えることにより、第1、第2のうち一方の貫通電流遮断用MOSFETが差動増幅回路で流れる定常的な貫通電流を遮断する。このように貫通電流が遮断されるので差動増幅回路の出力を電源電圧から接地電位まで完全に振幅させることができ、差動増幅回路の低消費電力化と高速化を実現できる。請求項3記載の半導体集積回路は、電源間に負荷回路および定電流源を接続し、負荷回路と定電流源との間に、第1のデータ線をゲートに接続した第1の駆動用MOSFETと第1の貫通電流遮断用MOSFETとの直列回路を接続するとともに、第1のデータ線と対をなす第2のデータ線をゲートに接続した第2の駆動用MOSFETと第2の貫通電流遮断用MOSFETとの直列回路を接続した差動増幅回路と、駆動用MOSFETの負荷回路側の端子出力のいずれかを差動増幅回路の出力とし、差動増幅回路の出力を反転および遅延および完全振幅させて、差動増幅回路の出力を端子出力とする駆動用MOSFETと直列回路をなす貫通電流遮断用MOSFETのゲートに出力する第1の遅延回路と、差動増幅回路の出力を遅延および完全振幅させて、差動増幅回路の出力を端子出力とする駆動用MOSFETともう一方の駆動用MOSFETと直列回路をなす貫通電流遮断用MOSFETのゲートに出力する第2の遅延回路とを備えている。